

# Table des matières

## *CHAPITRE I: Introduction à la Microélectronique*

<i>1 La microélectronique</i> .....	<i>1</i>
1.1 Description d'un circuit intégré .....	2
1.2 Evolution des circuits intégrés .....	3
<i>2 Miniaturisation</i> .....	<i>5</i>
<i>3 Interêt des circuits intégrés</i> .....	<i>6</i>
<i>4 Réalisation des circuits intégrés</i> .....	<i>7</i>
4.1 La fabrication.....	8
4.2 La conception des C.I .....	10
<i>5 Perspectives de la miniaturisation</i> .....	<i>16</i>
<i>Exercices</i> .....	<i>17</i>
<i>Solutions</i> .....	<i>17</i>

## *CHAPITRE II: Le transistor MOS*

<i>1 Introduction</i> .....	<i>18</i>
<i>2 Le transistor M.O.S</i> .....	<i>19</i>
<i>3 Le modèle interrupteur</i> .....	<i>20</i>
3.1 Fonctionnement du transistor MOS .....	21
3.2 Porte de transmission .....	22
<i>4 Structure générale des circuits CMOS</i> .....	<i>22</i>
<i>5 Fonctions combinatoires CMOS</i> .....	<i>24</i>
5.1 Assemblage série de transistors NMOS reliés à la masse: .....	24
5.2 Assemblage parallèle de transistors NMOS reliés à la masse.....	24
5.3 Assemblage série de Transistors PMOS reliés à l'alimentation .....	25
5.4 Assemblage parallèle de transistors P reliés à l'alimentation.....	25

5.5 La Porte NAND :	25
5.6 La Porte NOR:	26
5.7 Généralisation.....	27
5.8 Fonction combinatoire quelconque .....	28
6 Les portes en cascade .....	29
7 La bascule D .....	30
Exercices .....	32
Solutions .....	34

### ***CHAPITRE III: Fabrication des circuits intégrés***

1 Réalisation des tranches de silicium .....	39
1.1 Traitement du sable .....	39
1.2 Raffinage du silicium .....	39
1.3 Obtention de la structure cristalline.....	39
1.4 Traitement des lingots .....	40
2 Traitement des tranches .....	40
2.1 Dépôt métallique .....	41
2.2 Dopage.....	41
2.3 Epitaxie .....	42
2.4 Oxydation.....	42
3 Photolithographie .....	43
3.1 Dépôt de la résine .....	43
3.2 Insolation.....	43
3.3 Développement .....	44
3.4 Gravure .....	44
3.5 Elimination de la résine .....	45
3.6 Un procédé lithographique complet .....	45
4 Fabrication de transistors MOS.....	46
4.1 Transistor à grille métallique.....	46
4.2 Transistor à grille silicium (auto alignée) .....	46
5 Différentes technologies.....	47
6 Salles blanches.....	48
7 Le test des C.I.....	49
8 Rendement de fabrication des C.I.....	49

<b>9 Catégories des C.I.....</b>	<b>50</b>
<b>9.1 Les circuits sur mesure ou (full custom).....</b>	<b>50</b>
<b>9.2 Prédifusés .....</b>	<b>50</b>
<b>9.3 Les circuits configurables.....</b>	<b>51</b>
<i>Exercices.....</i>	<i>53</i>
<i>Solutions .....</i>	<i>54</i>

## ***CHAPITRE IV: Le dessin des masques***

<b>1 Dessin de masques ou schéma physique .....</b>	<b>55</b>
<b>1.1 Règles d'interconnexions.....</b>	<b>55</b>
<b>1.2 Quelques exemples.....</b>	<b>58</b>
<b>2 Dessin des masques régulier.....</b>	<b>60</b>
<b>2.1 Règle de collage .....</b>	<b>60</b>
<b>2.2 Règle des angles.....</b>	<b>60</b>
<b>2.3 Règle des entrées .....</b>	<b>60</b>
<b>2.4 Règle de la bande de diffusion ou d'active .....</b>	<b>61</b>
<b>2.5 Règle d'interconnexion entre portes (routage) .....</b>	<b>61</b>
<b>2.6 Quelques exemples.....</b>	<b>61</b>
<b>3 Dessin de portes complexes.....</b>	<b>63</b>
<b>4 Dimensions minimales d'un dessin .....</b>	<b>64</b>
<b>4.1 Règles de dimensions .....</b>	<b>65</b>
<b>4.2 Règles d'espacement.....</b>	<b>65</b>
<b>4.3 Règles de recouvrement.....</b>	<b>65</b>
<b>4.4 Méthodologie de dessin.....</b>	<b>66</b>
<b>4.5 Exemple : dessin d'un inverseur .....</b>	<b>66</b>
<b>5 Dessin de circuits composés de plusieurs portes.....</b>	<b>67</b>
<b>5.1 Exemple du comparateur 1 bit .....</b>	<b>67</b>
<b>5.2 Exemple du comparateur quatre bits .....</b>	<b>69</b>
<b>6 Applications .....</b>	<b>70</b>
<b>6.1 L'addition .....</b>	<b>70</b>
<b>6.2 La soustraction.....</b>	<b>73</b>
<b>6.3 La multiplication.....</b>	<b>74</b>
<i>Exercices.....</i>	<i>78</i>
<i>Solutions .....</i>	<i>79</i>

## **CHAPITRE V: Optimisation des performances des circuits CMOS**

<b>1 Introduction</b> .....	<b>88</b>
<b>2 Modèle RC des transistors MOS</b> .....	<b>90</b>
2.1 Les transistors .....	90
2.2 Les interconnexions.....	91
2.3 La capacité de sortie d'une cellule C <sub>sortie</sub> : .....	91
<b>3 Délai de propagation</b> .....	<b>92</b>
3.1 Définition.....	92
3.2 Estimation du délai d'un assemblage en série de transistors.....	93
3.3 Estimation du délai d'une porte .....	94
3.4 Estimation du délai d'un circuit .....	95
3.5 Optimisation du délai d'un circuit .....	97
<b>4 La consommation d'énergie</b> .....	<b>99</b>
<b>5 Influence de la miniaturisation sur les performances</b> .....	<b>100</b>
5.1 Réduction de l'échelle avec réduction de la tension.....	101
5.2 Réduction de l'échelle à tension constante.....	101
<b>Exercices</b> .....	<b>102</b>
<b>Solutions</b> .....	<b>104</b>

## **CHAPITRE VI: Logiques CMOS**

<b>1 La logique complémentaire</b> .....	<b>106</b>
<b>2 La logique proportionnelle</b> .....	<b>106</b>
<b>3 La logique dynamique</b> .....	<b>108</b>
<b>4 La logique domino</b> .....	<b>111</b>
<b>5 La logique à base de portes de transmission</b> .....	<b>111</b>
<b>6 Applications</b> .....	<b>116</b>
6.1 Réalisation de circuits complexes avec des multiplexeurs.....	116
6.2 L'unité arithmétique et logique (UAL) .....	119
6.2.1 UAL première version .....	119
6.2.2 UAL deuxième version.....	121
<b>Exercices</b> .....	<b>125</b>
<b>Solutions</b> .....	<b>127</b>

**CHAPITRE VII: Les Circuits à Mémoire**

**1 Les bascules..... 131**

**1.1 Les bascules dynamiques ..... 131**

**1.2 Les bascules statiques ..... 132**

**1.3 Problème de transparence des bascules..... 132**

**1.4 Dessin des masques d’une bascule à niveau ..... 134**

**1.5 Dessin des masques d’une bascule à front ..... 134**

**2 Les registres ..... 135**

**2.1 Registre à 4 entrées parallèles ..... 135**

**2.2 Registre série ou à décalage ..... 135**

**3 Transferts de registres ..... 135**

**3.1 Transfert de registres directs..... 135**

**3.2 Transfert de registres à travers un bus de données..... 136**

**3.3 Transfert à travers un MUX..... 137**

**3.4 Synchronisation des transferts ..... 137**

**3.5 Application à la transformation d’un circuit séquentiel ..... 139**

**4 La mémoire RAM..... 141**

**4.1 Lecture d’une RAM..... 142**

**4.2 Ecriture dans une RAM ..... 142**

**4.3 Organisation linéaire ..... 142**

**4.4 Organisation matricielle..... 143**

**5 La mémoire cache ..... 145**

**Exercices..... 148**

**Solutions ..... 149**

**CHAPITRE VIII: Architecture Opérative/Contrôle des C.I.**

**1 notion d’architecture..... 152**

**1.1 La partie opérative ..... 153**

**1.2 La partie de contrôle..... 153**

**2 Représentations d’une architecture..... 153**

**2.1 Le comportement ..... 153**

**2.2 Transformation d’un ASM en architecture ..... 154**

**3 Génération du dessin de la partie operative ..... 159**

**4 Etude de cas: La Multiplication série ..... 160**

---

<b>5</b>	<b><i>Téchniques d'optimisation</i></b> .....	<b>163</b>
5.1	La technique d'ordonnancement .....	163
5.2	La technique de pipe-line .....	165
<b>6</b>	<b><i>Applications</i></b> .....	<b>166</b>
6.1	Le calcul du factoriel.....	166
6.2	La division.....	167
6.3	Le calcul de puissance.....	169
	<i>Exercices</i> .....	171
	<i>Solutions</i> .....	172

## ***CHAPITRE IX: Architecture des Microprocesseurs***

<b>1</b>	<b><i>Introduction</i></b> .....	<b>176</b>
<b>2</b>	<b><i>Exemple d'architecture dite Von Neuman</i></b> .....	<b>177</b>
2.1	Codage des instructions .....	177
2.2	Définitions des instructions ou ISA .....	178
2.3	Exemple de programme du microprocesseur.....	178
2.4	Logigramme de décodage de l'ISA.....	179
2.5	La partie opérative du microprocesseur .....	180
2.6	La partie contrôle du microprocesseur .....	181
2.7	Architecture complète du microprocesseur .....	182
<b>3</b>	<b><i>Architectures CISC/RISC</i></b> .....	<b>186</b>
3.1	La simplicité des instructions et des modes d'adressages .....	186
3.2	Le concept registre-registre ou (load/store).....	187
3.3	La mémoire hiérarchisée .....	187
3.4	Le pipe-line .....	187
3.5	La partie contrôle réalisée en hardware .....	187
3.6	Les compilateurs optimisants.....	188
3.7	Exemple d'architecture .....	188
<b>4</b>	<b><i>Le multiprocessing</i></b> .....	<b>191</b>
4.1	Architecture SMP (ou Architecture à mémoire partagée).....	191
4.2	Architecture MMP (ou Architecture à mémoire distribuée) .....	192
<b>5</b>	<b><i>L'évolution des microprocesseurs</i></b> .....	<b>192</b>
<b>6</b>	<b><i>Perspectives</i></b> .....	<b>193</b>

<i>Annexe I: Le Langage VHDL</i> .....	194
<i>Bibliographie</i> .....	203
<i>Index</i> .....	204