

# TABLE des MATIERES

## Chapitre I STRUCTURE INTERNE d'un ORDINATEUR

<b>1</b>	<b>Introduction</b> .....	1
<b>2</b>	<b>Modélisation d'une mémoire</b> .....	4
	2- 1 adressage des Données .....	7
	- immédiat .....	7
	- direct .....	8
	- implicite .....	8
	- indirect .....	8
	- basé .....	9
	2-2 mémoires multi-bancs .....	10
<b>3</b>	<b>Traitement des données</b> .....	11
	3-1 opérations arithmétiques et logiques .....	11
	3-1-1 fonctions arithmétiques .....	11
	3-1-2 fonctions logiques .....	12
	3-1-3 unité arithmétique et logique .....	14
	3-2 indicateur d'état .....	16
	3-3 registres accumulateurs .....	20
	3-3-1 décalages logiques .....	21
	3-3-2 décalages arithmétiques .....	24
<b>4</b>	<b>Cheminement des données</b> .....	25
	4-1 le multiplexage .....	25
	4-2 les bus .....	27
	4-2-1 structure d'un bus .....	28
	4-2-2 arbitrage d'accès au bus .....	31
<b>5</b>	<b>Adressage matériel des instructions</b> .....	34
	5-1 les adressages .....	36
	- incrémental .....	36
	- conditionnel (relatif) .....	37
	- inconditionnel (absolu) .....	39
	5-2 l'adressage des sous-programmes .....	40
	5-3 l'adressage des interruptions .....	42
	5-3-1 les priorités .....	44
	5-3-2 interruptions masquables et non masquables .....	45
	5-3-4 interruptions internes et externes .....	46
<b>6</b>	<b>Microprogrammation</b> .....	54
	6-1 micro-instructions horizontales et verticales .....	57
	6-2 structures CISC/RISC .....	58
<b>7</b>	<b>Conclusions</b> .....	59
	<b>Exercices corrigés</b> .....	60

<b>1</b>	<b>Introduction</b> .....	65
<b>2</b>	<b>Les unités de calculs</b> .....	65
	2-1 modélisation d'un processeur sur nombres flottants .....	66
	2-2 structures particulières .....	68
	- série .....	68
	- matricielle .....	68
	- décimale .....	69
	2-3 structures pipe-line .....	73
	2-3-1 conditions structurelles .....	74
	2-3-2 linéarité des programmes .....	76
	2-3-3 dépendance séquentielle des données .....	77
	2-4 structures super-scalaire .....	78
<b>3</b>	<b>Les mémoires</b> .....	79
	3-1 organisation des mémoires .....	79
	3-1-1 structures linéaires.....	80
	3-1-2 structures matricielles .....	81
	3-2 temps d'accès à une mémoire .....	82
	3-2-1 les mémoires RAM statiques .....	82
	3-2-2 les mémoires RAM dynamiques .....	82
	3-2-3 les mémoires flash .....	83
<b>4</b>	<b>Hierarchie des mémoires</b> .....	83
	- historique – l'overlay .....	83
	4-1 accélérations structurelles .....	84
	4-1-1 mémoires caches/antémémoires .....	84
	- adressage associatif .....	85
	- adressage direct .....	85
	- adressage mixte .....	85
	4-1-2 accès direct mémoire .....	87
	4-2 accélérations fonctionnelles .....	88
	4-2-1 la mémoire virtuelle .....	88
	4-2-2 la pagination .....	89
	4-2-3 la segmentation .....	92
<b>5</b>	<b>Conclusions</b> .....	93
	<b>Exercices corrigés</b> .....	94

<b>1</b>	<b>Introduction</b> .....	99
<b>2</b>	<b>principes fondamentaux</b> .....	100
	- organisation temporelle d'un calcul .....	101
<b>3</b>	<b>additionneurs classiques synchrones</b> .....	102
3-1	additionneur par ruissellement de retenue .....	102
	( <i>ripple carry adder</i> )	
3-2	additionneurs à conservation de retenue .....	102
	( <i>carry save adder</i> )	
	- additionneur à conservation de retenue série .....	104
3-3	additionneur conditionnel multiplexé .....	105
	( <i>carry select adder</i> )	
<b>4</b>	<b>équations fondamentales</b> .....	106
4-1	additionneur à retenue bondissante .....	106
	( <i>carry skip adder</i> )	
4-2	anticipateur de retenue .....	108
	( <i>carry lookahead generator</i> )	
4-3	additionneurs systoliques .....	111
4-3-1	cellule de Brent et Kung .....	111
4-3-2	additionneurs à préfixes .....	114
4-3-2-1	additionneur de Sklansky .....	114
4-3-2-2	additionneur de Brent et Kung .....	114
4-3-2-3	autres additionneurs réguliers .....	115
<b>5</b>	<b>additionneurs asynchrones</b> ( <i>variable time adder</i> ) .....	116
5-1	additionneur 'mono-rail' .....	116
5-2	additionneur 'double rail' .....	118
<b>6</b>	<b>multiplieurs rapides</b> .....	120
6-1	multiplieur à retenues ruisselantes ( <i>réseau de Braun</i> ) .....	120
6-2	produits partiels –codage de booth .....	121
	- codage de Booth (skipping over 1's) .....	121
	- codage de Booth par paire (bit pair recoding) .....	122
6-3	synthèse physique se l'algorithme de Booth .....	124
6-4	réduction des produits partiels –arbres de Wallace .....	127
<b>7</b>	<b>diviseurs</b> .....	130
	- division avec restauration des restes partiels .....	130
<b>8</b>	<b>ordinateurs sans horloge – opérateurs asynchrones</b> .....	133
8-1	protocoles de communication .....	134
8-2	variables double rail .....	135
<b>9</b>	<b>cellule de Muller</b> .....	138
<b>10</b>	<b>conclusions</b> .....	141
	<b>exercices corrigés</b> .....	142
	<b>annexes</b> .....	149